

卒業論文 2017年度（平成29年度）

FPGAを用いたカメラ2台による低遅延サイド バイサイド映像生成手法の設計と実装

慶應義塾大学 総合政策学部

東海林 晃

徳田・村井・楠本・中村・高汐・バンミーター・植原・三次・中澤・
武田・合同研究プロジェクト

2018年1月19日

FPGAを用いたカメラ2台による低遅延サイドバイサイド映像生成手法の設計と実装

論文要旨

近年、遠隔ロボット操作のためのヘッドマウントディスプレイ(HMD)を用いた3Dカメラ映像伝送の需要が高まっている。HMDをもちいた視覚システムは、両眼視差や輻輳の行いやすさから、遠隔ロボット操作に適しており、建設や医療の現場において利用されている。HMD向け映像伝送システムの構築手法には、2台のカメラとPC用キャプチャボードを使用する手法がある。この手法はPCのソフトウェアリソースを使用してシステムを柔軟に設計できることがメリットであり、すでに重機の遠隔操作のシステムとして商用化されているなど、さらなる今後の活用が予想される。一方、遠隔ロボット操作において、入力側カメラから出力側HMDまでの映像遅延が100ms以上存在すると操作に違和感を感じることがわかっており、遠隔医療などの高精度な操作を必要とする遠隔ロボット操作のためには100ms以下に遅延を抑える必要がある。

映像伝送時間を低遅延化して100ms以下の遅延量を達成した既存手法として、FPGAを用いた映像伝送システム(HDMI-TS)がある。この手法は、1台のカメラからの映像信号を送信側FPGAで映像入力を行い、ハードウェア処理でUDP/IPパケットに変換して送り出す。受信側はFPGAを用いて入力したUDP/IPパケットを即時フレームバッファに展開し、2Dディスプレイに出力するシステムである。カメラからディスプレイまでの総遅延量は最小で38.1ms、最大で69.9msである。HDMI-TSは圧縮処理を行わず、RAWデータのHDMIをFPGA上に実装したネットワークプロトコルスタックを通して伝送することで低遅延化を達成している。本論文はFPGAを利用したHDMI-TSによるIP映像伝送技術を手法を利用し、FPGA上による2つのカメラからの入力を低遅延でサイドバイサイド処理映像を生成する手法を提案し実装、評価する。

遠隔ロボット操作のために求められる遅延は100msである。HDMI-TSを用いたIP映像伝送の遅延計測では、カメラ1台の映像伝送で最大でも69.9msの遅延であることから、カメラ2台の映像をサイドバイサイド処理をするために許容される遅延は30.1ms以内となる。

本手法は、FPGAを用い、2つのカメラからのHDMI入力を直接、1つの出力用のビデオメモリの左画面部と右画面部書き込み、ビデオメモリを直接HMDへ出力することで低遅延化をおこなう。

FPGA 上で本手法の実装し、スローモーションカメラとフレームごとに連番が付与されている動画を用い、遅延計測を行ったところ、サイドバイサイド処理の入力と出力にかかる遅延時間を約 4.67ms だった。これはサイドバイサイド処理の許容遅延である 30.1ms を十分満たしており、高精度な動作を必要とする遠隔ロボット操作のための映像伝送システムとして FPGA を利用した本手法が有効であることを示した。

キーワード

テレプレゼンス, テレイグジスタンス, HMD, 3D, 立体映像, FPGA, 映像伝送

慶應義塾大学 総合政策学部

東海林 晃

Design and Implementation of Low Delay Side-by-side Video Generation Method with Two Cameras Using FPGA

Summary

In recent years, demand for 3D camera video transmission using a head mount display (HMD) for remote robot operation is increasing. The vision system of HMD is suitable for remote robot operation from binocular parallax and easiness of congestion, and there are actually systems using HMD in construction and medical sites. There is a method of constructing a video transmission system for HMD by using two cameras and a capture board. This method is advantageous in that the system can be flexibly designed by using the software resources of the PC, and has already been commercialized as a system for remote operation of heavy equipment already. Further future use is expected. On the other hand, it is known that the operation of the remote robot feels unnatural in the operation if the video delay from the input side camera to the output side HMD is 100 ms or more, and for remote robot operation requiring highly accurate operation such as remote medical care, it is necessary to suppress the delay to 100 ms or less.

As a method of achieving a delay of 100 ms or less, research on a video transmission system using an FPGA exists. In this system, video signals from one camera are sent to the FPGA, converted into UDP / IP packets, sent, and outputted from the receiving side FPGA to the 2D display. The total delay from the camera to the display is 38.1 ms at the minimum and 69.9 ms at the maximum. In this system, compression processing is not performed and low delay is achieved by transmitting HDMI of RAW data through a network protocol stack implemented on the FPGA. In this paper, we build a side-by-side processing system on the FPGA using the low delay method using FPGA. As a result of the delay measurement of the existing research, the delay of 69.9 ms at the maximum is achieved in the video transmission of one camera. Therefore, the allowable delay for side-by-side processing of the images of the two cameras is set to 30.1 ms to construct a satisfactory system. We implemented on the FPGA and measured the delay using the slow motion camera and the sequential number moving image. As a result, the delay amount of the side by side process built on the FPGA could be suppressed to about 4.67 ms. Since this can satisfy 30.1 ms which is the allowable delay of side-by-side processing, it was possible to show the effectiveness of the system using the FPGA as a video transmission system for remote robot operation requiring high-precision operation.

Keywords

Telepresence, Tele-igstance, HMD, 3D, 3D video, FPGA, video transmission

Bachelor of Policy Management
Keio University

Akira Shoji

目次

第1章 序論	1
1.1 背景	1
1.2 本論文において着目する問題	1
1.3 本論文の目的	2
1.4 本論文の構成	2
第2章 3D 映像伝送システムについて	3
2.1 3D 映像技術について	3
2.1.1 視点数による 3D 映像技術の分類	3
(1) 2 眼式 - アナグリフ方式, シャッター方式, 偏光フィルタ方式, HMD 方式	4
(2) 多眼式 - パララックスバリア方式, レンチキュラー方式	4
(3) 空間像再生方式 - インテグラル方式, ホログラフィー方式)	4
2.1.2 遠隔ロボット操作における HMD 方式の優位性	4
2.2 HMD 映像伝送システムについて	5
2.2.1 HMD 向け 3D 映像伝送システムの種類	5
(1) カメラ 1 台 - レンズミラー	5
(2) カメラ 1 台 - サイドバイサイド内蔵カメラ	6
(3) カメラ 2 台 - キャプチャボード	6
(4) カメラ 2 台 - コーデック装置	6
2.2.2 システム比較	6
2.3 HMD 向け 3D 映像伝送システムの遅延について	7
2.3.1 遅延の定義	7
2.3.2 遅延の分類	7
(1) Capture 遅延	8
(2) Side-by-side 遅延	8
(3) Encode 遅延	8
(4) Internet 遅延	8
(5) Decode 遅延	9
(6) Display 遅延	9
2.3.3 許容遅延	9
2.3.4 低遅延化についての関連研究	10

2.3.5	FPGA を利用した HDMI 映像の低遅延映像伝送の先行研究「HDMI-TS」について	10
2.3.6	サイドバイサイド化の許容遅延について	11
2.4	2 章のまとめ	11
第 3 章	提案手法	12
3.1	キャプチャボードによるサイドバイサイド化の遅延理由	12
3.2	FPGA による利点	13
3.3	システム構成	14
3.4	3 章のまとめ	16
第 4 章	実装	17
4.1	構成	17
4.2	FPGA ボードへの実装	17
(1)	クロックモジュール	18
(2)	タイミングモジュール	18
(3)	HDMI デコーダ	19
(4)	メモリアービタ	20
(5)	HDMI エンコーダ	20
4.3	4 章のまとめ	20
第 5 章	評価	21
5.1	計測手法	21
5.1.1	使用する装置	23
5.2	計測	23
5.3	計測結果と考察	24
5.4	まとめ	25
第 6 章	結論	26
6.1	まとめ	26
6.2	本論文の結論	26
6.3	今後の課題と展望	27
	謝辞	28
	参考文献	29

目 次

2.1	3D 映像技術の分類	3
2.2	HMD 向け 3D 映像伝送システムの種類	5
2.3	遅延の分類 [7] Fig.1 より引用	8
2.4	FPGA を利用した HDMI 映像の低遅延映像伝送システム	10
3.1	キャプチャボードによるサイドバイサイド化の遅延理由	13
3.2	キャプチャボードと FPGA の構成比較	15
4.1	実装のモジュール関係図	18
4.2	HDMI の信号チャート図 [4] より引用	19
5.1	計測図	22
5.2	実際の計測風景	23
5.3	撮影した動画の連続写真	24

表 目 次

4.1	使用構成	17
5.1	FPGA を用いたサイドバイサイド処理ありのシステムとサイドバイサイド処理なしのシステムとの遅延比較	24

第1章 序論

1.1 背景

近年、遠隔ロボット操作における視覚として、3D映像 (Stereo Scopic) を使用する需要が高まっている。既存の2D映像 (Monoscopic) と比べて、3D映像は、奥行き知覚や空間把握、意思決定のしやすさで優れており [6]、遠隔ロボット操作における視覚システムとして主流になることが予想される。3D映像伝送は使用するデバイスによって、さまざまな種類が存在する。そのなかでも HMD を利用する 3D映像伝送システムは、両眼視差や輻輳のしやすさから最も遠隔ロボット操作に適している。遠隔ロボット操作のために HMD映像伝送を利用した例として、大成建設の T-irobo Robot Viewer が挙げられる [10]。T-irobo Robot Viewer は遠隔地から建設用重機を操作するシステムであり、ステレオカメラと HMD を使用している。T-irobo Robot Viewer のほかにも、遠隔手術ロボットの da Vinci も 3D映像システムを使用している。da Vinci は腹腔の内視鏡手術用ロボットであり、これも同じくステレオカメラと HMD を使用する [8]。このように遠隔ロボット操作のために、HMD を利用した 3D映像を使用する事例は多くあり、こうした需要は高まっていくことが予想される。

そのような HMD 向けの 3D映像伝送システムの構成としてさまざまあるうちの一つにカメラ 2 台とキャプチャボード 2 台を利用する手法がある。この手法はキャプチャボードを利用して、カメラの映像を PC に取り込み、2つのカメラの映像を PC 内部でサイドバイサイドの映像に合成し、それを HMD に伝送するというものであり、実際に大成建設の T-irobo Robot Viewer でも採用されている手法である。この手法既存のカメラを用いることができシステムの柔軟性に富んでいるため、さまざまな場面で使用される。

1.2 本論文において着目する問題

遠隔ロボット操作においてリアルタイムでの操作と比較して、入力カメラから HMD に表示されるまでの遅延が 100ms 以上あると操作に違和感を感じる [9]。そのために、遠隔医療などの高精度な操作を必要とする遠隔ロボット操作には 100ms 以下に遅延を抑える必要がある。PC 用のキャプチャボードを利用する HMD映像伝送の手法では、ソフトウェア処理でのサイドバイサイド化がボトルネックの要因となってしまうその遅延を達成できない。この原因は、キャプチャボードと PC を PCIe で接続しているために発生する PCIe 用のバッファリング処理遅延や通信遅延、PC で処理するためのメモリの読み書き処理や、OS 内のドライバー処理や、アプリケーション内でのソフトウェア処理などによる遅延が大きいためである。

1.3 本論文の目的

こうした映像伝送の遅延に対して、低遅延化の手法としてFPGAに映像処理を行わせる手法が存在する。FPGAはPCのようなCPUを用いた逐次処理型ではなく、パイプライン化による並列処理を行うことができるため映像伝送処理に適している。またFPGAは柔軟性に富んでおり、IP伝送などを行うライブラリも用意されているため、PCの代替としてシステムを構築することが可能である。

先行研究として[12]の「HDMI-TS」システムは1台のカメラのデータを送信用FPGAからUDP/IPで伝送し、受信用FPGAから2Dディスプレイに出力するシステムであり、そのシステムの総遅延量は最短で38.1ms、最長で69.9msである。このシステムはコーデック処理を行わず、ローデータのHDMIをFPGA上に実装したネットワークプロトコルスタックを通して伝送することで低遅延化を達成している。そこで本論文は[12]の手法を利用し、FPGA上にサイドバイサイド処理システムを構築する。[12]の遅延計測の結果、カメラ1台の映像伝送で最長でも69.9msの遅延が達成されていることから、カメラ2台の映像をサイドバイサイド処理する許容遅延を30.1msとして、その許容遅延を満たすシステムを構築する。

1.4 本論文の構成

本章では背景として遠隔ロボット操作のためのHMD映像伝送の需要について述べ、そのシステムの1つとしてキャプチャボードを利用するシステムがあることを述べた。しかし、そのシステムでは遠隔ロボット操作のために求められる許容遅延量を達成することができず、その原因はサイドバイサイド処理にかかわる遅延が原因であると述べた。本論文の目的としてFPGAを用いた映像伝送システムを構成することで、映像伝送の許容遅延を達成することを述べた。2章では、前提知識として、3D映像伝送システムをめぐる現状について述べ、HMD映像伝送がどういった位置づけにあるのか、その遅延や許容遅延について既存研究より定義する。3章では、キャプチャボードにおけるサイドバイサイドの遅延理由と、どうしてFPGAでその遅延を解決できるのかについて述べ、本論文のFPGAを利用したシステムを提案する。4章では、実際にFPGAボード上に実装するシステムを詳細に述べる。システムをそれぞれモジュールに分割し、それぞれに説明を加える。5章では、スローモーションカメラを用いたフレーム誤差計測を行い、FPGAでサイドバイサイド処理を行った場合の遅延量を評価する。6章では、評価として得られた遅延量をもって、結論を述べる。

第2章 3D映像伝送システムについて

本章では、3D映像伝送の中でHMDに主眼を置く理由や、HMD映像伝送の遅延の定義、内訳、原因について述べる。また、低遅延化に関する関連研究について述べる。

2.1 3D映像技術について

本節では、そもそもHMD以外の3D映像技術はどういったものがあり、なぜHMDに主眼を置くのかについて述べる。

2.1.1 視点数による3D映像技術の分類

下の図は表示デバイスによる3D映像技術の分類である。

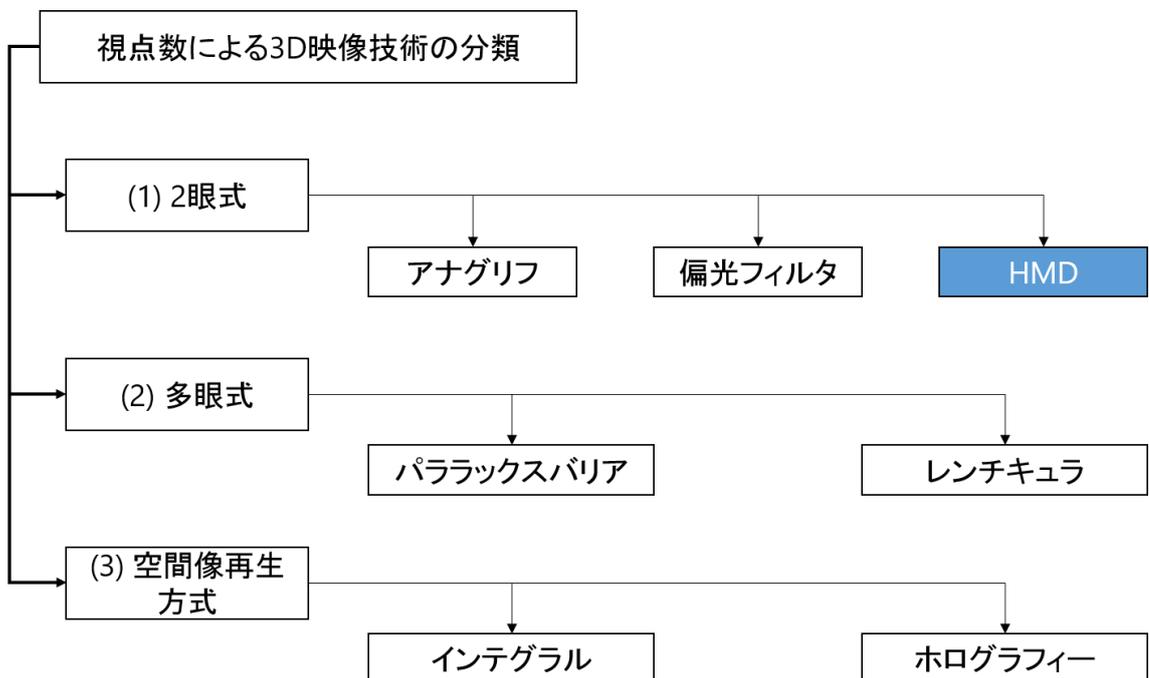


図 2.1: 3D映像技術の分類

(1) 2眼式 - アナグリフ方式, シャッター方式, 偏光フィルタ方式, HMD方式

左右で色の違う眼鏡を使用するアナグリフ方式や、シャッターを眼鏡に取り付け高速でシャッターを開閉することによって視差を生み出すシャッター方式、偏光フィルタを眼鏡に取り付け左右それぞれの眼鏡に透過する映像を分けて視差を生み出す偏光フィルタ方式、頭に装着し左右のレンズに異なる映像を見せることで立体視を可能にするHMD方式が存在する。2眼式とは視点数が左右それぞれ1つずつの2点のみに限られる。例えば、眼鏡を斜めからのぞき込んだりすることはせず、眼鏡からの視点はつねに正面からであり、両目を合わせると2点である。

(2) 多眼式 - パララックスバリア方式, レンチキュラー方式

ディスプレイをストライプ状に細かく分割し、分割したエリアに左右用の映像を交互に流し、ディスプレイの前に縦長のスリット(パララックスバリア)を配置することで立体視を可能にするパララックスバリア方式と、同じようにディスプレイをストライプ状に分割し、ディスプレイにかまぼこ上の凸レンズをとりつけることで立体視を可能にするレンチキュラー方式が存在する。多眼式とは複数の視点から立体視が可能なものを指す。パララックスバリア方式やレンチキュラー方式はそれぞれスリットと凸レンズの使用により、ディスプレイに対して正面からの視点だけではなく、斜めから見ると映像が変わるなど、さまざまな視点から立体的にディスプレイを見ることができ、おおよそ8視点ほどからみることができ、

(3) 空間像再生方式 - インテグラル方式, ホログラフィー方式

被写体をレンズアレーを通して撮影し、レンズアレーを用いて出力することで立体視を可能にするインテグラル方式と、レーザー光の回折と干渉を利用して立体視を可能にするホログラフィー方式が存在する。空間像再生方式は、被写体から反射される光源を記録しそれをそのまま視聴者に提示するため、被写体そのものを見ているのと変わらない状況を生み出すことができる。視点数は装置を見える角度からならば無限に存在する。

2.1.2 遠隔ロボット操作におけるHMD方式の優位性

2.1.1でさまざまな3D映像技術について述べた。これらの技術のうち、まず空間像再生方式は仕組みが大がかりになるためロボットにカメラを取り付けることが難しく、遠隔ロボット操作には適さない。また多眼式のメリットは複数の視点からディスプレイを見ることができ、運動視差を生み出しやすいことであるが、遠隔ロボットは基本的に自走式であるため、運動視差は自然に生むことができてしまう。また、使用者がディスプレイの前を左右に移動しながらロボットを操作するのは操作性を損なう。以上のことから多眼式は遠隔ロボット操作に適さない。そのため必然的に2眼式を採用することになる。2眼式においてHMDはアナグリフ方式や偏光フィルタ方式などと違い、2Dディスプレイではなく魚眼レンズをディ

スプレイとして使用する。これにより広い視野角を提示することが可能であり、さらにディスプレイと目の距離が近いことため両眼視差や輻輳が行いやすい。以上の理由から、遠隔ロボット操作において HMD を利用した 3D 映像伝送は優位性があり、今後も遠隔ロボット操作において HMD 向け 3D 映像伝送システムの需要はますます拡大していくことが予想される。

2.2 HMD 映像伝送システムについて

2.1 ではさまざまな 3D 映像技術について触れ、その中で HMD を用いた遠隔ロボット操作が適していることを述べた。本節では HMD 映像伝送システムをより詳細に分け、本論文が主眼におくカメラ 2 台とキャプチャボードを用いた HMD 向け映像伝送システムの立ち位置について述べる。

2.2.1 HMD 向け 3D 映像伝送システムの種類

HMD 向け 3D 映像伝送システムの種類を下に示した。

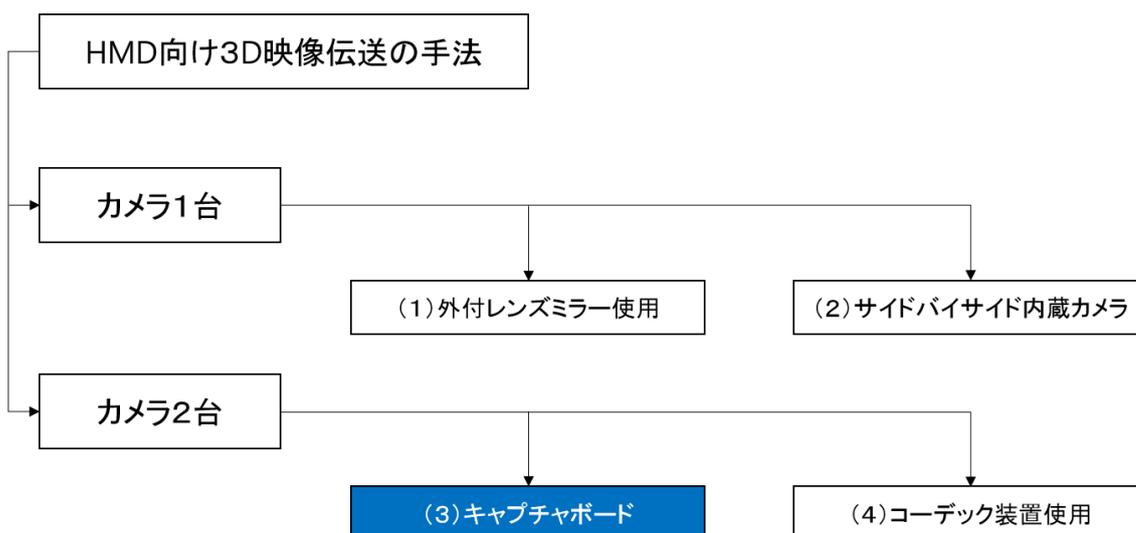


図 2.2: HMD 向け 3D 映像伝送システムの種類

様々な構成手法があるが、その肝となるのは、カメラを 1 台、2 台どちらで行うか、サイドバイサイド処理をなにで行うかの 2 点である。

(1) カメラ 1 台 - レンズミラー

(1) はカメラ 1 台を使用し、サイドバイサイド処理をレンズミラーで行うものである。これはカメラのレンズの前にサイドバイサイドを生み出すためのミラーレンズをとりつけることで立体視を可能にする。カメラに撮像される時点でサイドバイサイド処理を済ませる効果

が生まれるため、その撮像された映像を HMD に表示するだけで立体視が可能になる。実際に発売されているものとして、スマートフォンにとりつける「サンディー」や、Panasonic 製のコンバージョンレンズ「VW-CLT1-H」がある。

(2) カメラ 1 台 - サイドバイサイド内蔵カメラ

(2) はカメラ 1 台を使用し、サイドバイサイド処理をカメラ内部で行うものである。これはカメラ自体に 2 つのレンズが存在し、それらの映像をカメラ内部で処理しサイドバイサイド映像を生成する。これはサイドバイサイドに対応したカメラが 1 台あればシステムを構成できる。実際に販売されているものとして、JVC 社製の GS-TD1 がある。

(3) カメラ 2 台 - キャプチャボード

(3) はカメラ 2 台を使用し、サイドバイサイド処理を PC に取り付けられたキャプチャボードで行うものである。これはカメラ 2 台それぞれの映像を PCIe など PC に接続したキャプチャボードに取り込み、CPU でサイドバイサイドの映像を合成する。構成としてはカメラ 2 台とキャプチャボードを 1 台か 2 台、そして PC を利用する。大成建設の T-irobo Remote Viewer もこのシステムで構築されている。システムの柔軟性にすぐれ、IP 伝送や RTMP プロトコルによる配信など、PC のリソースを利用することでさまざまなことができる。そのためこのシステムがよく映像伝送に使用される。カメラは通常の 2D カメラ 2 つとキャプチャボードは Black Magic Design 社の「Intensity Pro 4K」などで構成する。

(4) カメラ 2 台 - コーデック装置

(4) はカメラ 2 台を使用し、サイドバイサイド処理を専用の処理装置で行うものである。これはカメラ 2 台の映像をスタンドアロンのコーデック処理装置に入力することで、内部でサイドバイサイドの映像を生成する。コーデック機器は内部に ASIC を備えており、専用の映像処理プロセッシングを構築してある。そのため 2 つのカメラから映像を入力するだけで、自動的に 1 つのサイドバイサイド映像が出力するようになっている。このシステムは ASIC を利用しているため非常に低遅延に映像を伝送することができるが、ASIC であるためシステムに柔軟性はなく最初に行えること以外に追加の処理を行うことはできない。さらに専用ハードウェアを利用しているため、値段が高い。実際に販売されているものとして、エフエーシステムエンジニアリング株式会社の「3D Side By Side Encoder/Decoder」が存在する。

2.2.2 システム比較

前項において、HMD 向け 3D 映像伝送システムの種類について述べた。(1) は長所として、サイドバイサイド処理を取り付け式のミラーで行うため、仕組み自体が簡単でありコス

トもかかりにくいこと。また、サイドバイサイドが撮像の時点で行われるためサイドバイサイド処理にかかる遅延がないことが挙げられる。短所として、ミラーはカメラの特性にあったものを取りつける必要があるため、ミラーをカメラごとに変える必要があること。ミラーは民生品であるためカメラにあったミラーが存在しない場合は(1)のシステムを構築することができないことが挙げられる。(2)は長所として、カメラ1台のみでシステムを構築できること。サイドバイサイド処理をカメラ内部のプロセッシングシステムを利用することで遅延が少ないことが挙げられる。短所として、カメラ1台でシステムを構築する分、カメラ自体が大きなものになり、かさばってしまうことや、高機能であるため値段が高くなってしまふことが挙げられる。(3)は長所として、キャプチャボードをPCに接続することで、ソフトウェアリソースを使えること。またカメラとキャプチャボードは安価なものでもシステムを構成できることが挙げられる。短所としてはソフトウェアリソースを利用するため遅延が発生しやすいことがあげられる。(4)は長所として、ASICやFPGAの搭載した専用のコーデック装置を利用するためソフトウェア処理と比べて遅延が少ないこと。短所としては、装置の値段が高いこと。装置に備えられている機能のみに使用方法が限られることが挙げられる。本論文は(3)について主眼を置く。理由としては、(1)と(2)はカメラやミラー自体に依存してしまうため、システムの柔軟性があまりない。(4)は、ASICなどの専用装置であるため低遅延化は達成できるが、機器自体が高価であったり、専用ハードウェアであるためシステムを柔軟に作り変えることができない。(3)は安価な民生品カメラ2台とキャプチャボードを利用することでシステムを構築でき、さらにPCリソースを利用することでシステムに柔軟性がある。ただし、(3)はキャプチャボードの内部で行うバッファリング処理やPC内部でのメモリ操作の遅延などにより遅延量が多い。以上のことから、本論文では(3)に着目している。ほかのシステムと比べて(3)はシステムの柔軟性という点で優れているため、このシステムと同等の柔軟性をもつシステムが低遅延で設計できればもっとも遠隔ロボット操作の視覚システムとして優れていると考えるためである。

2.3 HMD 向け 3D 映像伝送システムの遅延について

遠隔地の映像を用いてインタラクションを行う場合、その映像伝送における遅延は重要な問題になる。遅延が大きければ大きいほどロボット操作の快適さを損なってしまう。本節では、映像伝送における遅延とはなにか、その遅延の分類、許容される遅延について述べる。

2.3.1 遅延の定義

本論文における3D映像伝送システムの遅延は、遠隔地にあるカメラが被写体を捉えてから、使用者のHMDディスプレイに表示されるまでの遅延と定義する。

2.3.2 遅延の分類

下に映像伝送の遅延を分類した図を用意した。遅延要素は(1)から(6)が存在する。

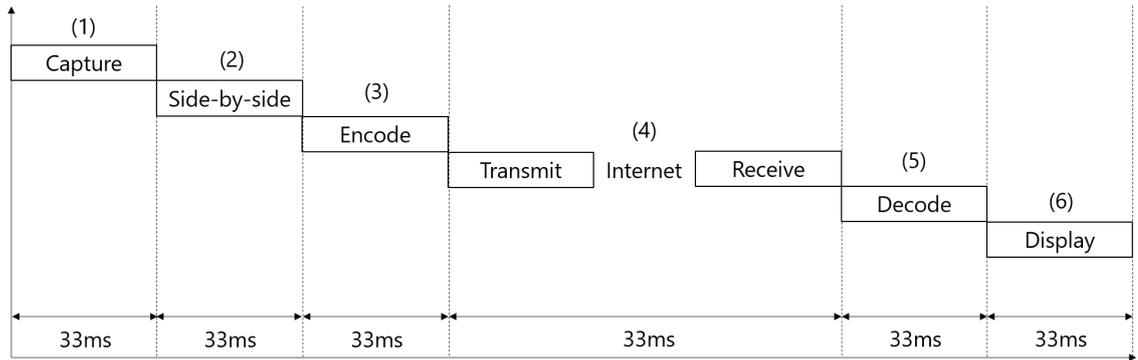


図 2.3: 遅延の分類 [7] Fig.1 より引用

(1) Capture 遅延

Capture 遅延とは、カメラ内部での処理にかかわる遅延である。カメラはレンズや CCD や CMOS などできている撮像部、画像処理エンジンなどで構成されており、被写体をレンズが捉え画像を生成するまでの遅延がかかる [7]。

(2) Side-by-side 遅延

Side-by-side 遅延とは、カメラ 2 台の映像をキャプチャボードを利用して PC に取り込み、CPU 処理によってサイドバイサイドの 1 つの映像にするとときに発生する遅延である。PCIe 接続でキャプチャボードを利用するため、キャプチャボード内でのバッファリングにかかわる遅延や PC メモリ側のバッファリングの遅延、CPU 処理を行いサイドバイサイド映像を生成した際の出力用のバッファリングの遅延などがかかる。

(3) Encode 遅延

Encode 遅延とは、映像のデータ量を圧縮する際に発生する遅延である。H.264 などのコーデック処理は動画のフレーム間圧縮を行いデータ量を削減する。フレーム間圧縮は一定数のフレームを記憶してからそのフレームの差分を比較し圧縮を行うため、フレームの数ぶんの圧縮遅延がかかる。

(4) Internet 遅延

Internet 遅延は、送信側、受信側どちらにおいても発生するネットワーク処理にかかわる遅延と、ネットワーク中継機器での遅延が存在する。

(5) Decode 遅延

Decode 遅延は圧縮された映像を元の映像に展開する際に発生する遅延である。

(6) Display 遅延

Display 遅延は、ディスプレイ内部での映像処理を行う際に発生する遅延である。

2.3.3 許容遅延

本論文が述べるカメラからディスプレイに映るまでの総合的な遅延に関する論文はあまり存在しない。一方、Internet 遅延を変数とする遠隔ロボット操作の操作性に関する論文はいくつか存在する。1つ目に、遠隔ロボットアーム操作においてネットワーク遅延を変化させた際の操作性の変化に関する論文 [11] では、遠隔ロボットアームを用いて木製の棒を移動させるタスクを行い、Internet 遅延を 0ms, 50ms, 100, 150, 200ms に変化させたときの操作性の評価をタスク完了までにかかった作業時間で評価している。50ms においては 0ms と作業時間はほぼ変わらないことがわかっており、遅延時間が増えると作業時間が増えていくことがわかっている。

遠隔ロボット手術のためのリアルタイムシミュレーションの論文 [9] では、シミュレーション環境における剛体のハンドリング操作の操作性評価を行っている。ここでは、シミュレーション環境において細い棒状の物体を専用のマニピュレータを通してハンドリングし、その際にネットワーク遅延を変化させ、操作性がどう変わったか難易度 (Easiness) と違和感 (Reactivity) の 2 種類の評価軸をもとに 0 から ± 3 までの 7 段階の SD 法により評価を行っている。この実験によると 100ms 付近で操作性に影響が生じていることがわかっており、その値以内であれば操作性はレイテンシがない場合とほぼ一定であると述べている。これらの遅延に関する論文は、Internet 遅延を変数としてそれを変化させたときの操作性評価であるため、システム全体の遅延はさらにかかることに注意が必要である。前者のロボットアームの論文では Encode 遅延、Decode 遅延に 180ms かかっており、Internet 遅延を 50ms としても、システム全体では 230ms 以上かかっている。後者のシステムではコーデック処理を行っていないため Encode 遅延、Decode 遅延は存在しないが、ディスプレイや間に挟まる PC などでのバッファリング遅延などが存在するため、100ms にディスプレイ遅延や PC での遅延などがかかる。

遠隔ロボット操作は、使用目的によって許容遅延が異なるため、通底する許容遅延は存在しない。例えば前者のロボットアームは物体の移動を対象にしているのに対して、後者の遠隔ロボット手術は人体を対象にしている。後者は遅延により手術で失敗が起きる可能性があるという重大な問題があるため、シビアな低遅延性を求められている。本論文では、高精度な操作を必要とする遠隔ロボット操作を主眼においているため、低い低遅延性を要する遠隔ロボット手術での許容遅延を本論文の許容遅延とする。ただし、[9] の遠隔ロボット手術の許容遅延は Internet 遅延 100ms と内部の PC の遅延を合計したものであり、その内部の PC

の遅延は推測せざるを得ない。そこで、すくなくとも数値が判明しているネットワーク遅延 100ms を本論文のカメラから HMD に表示されるまでを含めた許容遅延とする。

2.3.4 低遅延化についての関連研究

映像伝送の低遅延化にはさまざまな手法がある。例えば、Capture 遅延をなくするために DMD チップを直接 FPGA で操作する手法や、Encode 遅延、Decode 遅延を下げるために、H,264 などの既存のコーデックより低遅延な独自コーデックを FPGA 上に実装する手法 [5]、そもそもコーデック処理を利用をしないことで Encode 遅延、Decode 遅延を 0 にし、さらにネットワークプロトコルスタックを FPGA に実装することで Internet 遅延を低遅延化する手法などがある [12]。これらの関連研究はいずれも FPGA を用いている。これは PC は CPU とメモリを利用した逐次処理なのに対して、FPGA は内部にパイプラインを設けることで並行処理が行えるため、映像処理と親和性が高いからである。これらの手法の中でも [12] の手法は、民生品のカメラを使用し、FPGA2 台をイーサネットつなぎ TCP/IP で送信しており、そのシステムの構成は今回の映像伝送に適応させやすい。

2.3.5 FPGA を利用した HDMI 映像の低遅延映像伝送の先行研究「HDMI-TS」について

[12] の手法について詳述する。[12] は、遠隔地コミュニケーションのための低遅延映像伝送を目指し、民生品のカメラ映像を FPGA で処理を行い、IP パケットで送受信し FPGA からディスプレイに出力するシステムである。[12] の構成は、720p のカメラ 1 台と FPGA2 台、出力用のディスプレイ 1 台であり、構成図は以下の通りである。

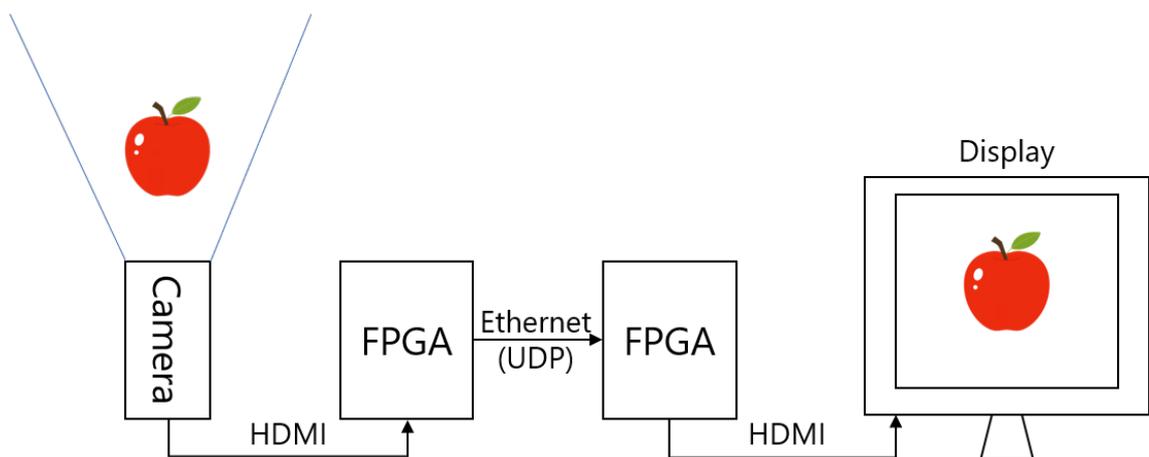


図 2.4: FPGA を利用した HDMI 映像の低遅延映像伝送システム

[12] は低遅延化を達成するために、コーデック処理を行わずに HDMI をそのままのデータで送信する。これにより Encode 遅延、Decode 遅延をゼロにしている。さらに Internet 遅延

延を削減するために、FPGA 上にネットワークプロトコルスタックを実装しており、カメラ映像が入力され次第、即座にパケットにして送信することができる。[12] のカメラが被写体を捉えてから、ディスプレイに表示されるまでの総遅延量は最短で 38.1ms、最大で 69.9ms であり、最大値でも今回の許容遅延である 100ms 以内を達成している。上記の図を見てもわかるように FPGA を使用するシステムはカメラとディスプレイの間に FPGA2 台のみしかなく、その有線の本数も HDMI ケーブル 2 本と Ethernet ケーブル 1 本のみである。FPGA は、PC のようなシステムの簡素性や柔軟性を担保しつつも、パイプラインを使用することで ASIC のような並列処理が可能であるため、こうした映像伝送システムに適している。そのため、本論文も FPGA を利用したシステムを提案として行う。

2.3.6 サイドバイサイド化の許容遅延について

[12] の手法はコーデック処理を行わないため、Encode 遅延と Decode 遅延をゼロにすることができ、システム全体としてかかっている遅延は、Capture 遅延、Internet 遅延、Display 遅延の 3 つであった。その総遅延量は最小で 38.1ms 最大で 69.9ms であった。この手法は 1 台のカメラと通常の 2D ディスプレイを用いたシステムであるため、サイドバイサイド処理を行わない。逆に言えば、サイドバイサイド処理を含まない FPGA を用いた映像伝送の Capture 遅延、Internet 遅延、Display 遅延の低遅延化による手法として、最低でも 69.9ms の超低遅延映像伝送を達成しているため、本論文で問題にしている Side-by-side 遅延を 30.1ms 以下にすることができれば、遠隔ロボット操作の許容遅延である 100ms を達成できることができる。本論文は [12] の手法を利用し、Side-by-side 遅延を 30.1ms、おおよそ 2 フレーム以下にする FPGA システムを設計する。

2.4 2章のまとめ

2章では、3D 映像伝送の種類分けを述べ、HMD を使用するシステムが遠隔ロボット操作に適していることを述べた。さらに HMD システムはさまざまな種類があり、キャプチャボードと PC を利用した映像伝送システムはシステムの柔軟性で優れているものの、遅延という観点で遠隔ロボット操作の許容遅延に達成することができないことを述べた。既存の映像伝送の低遅延化の手法として FPGA を用いたものがあり、FPGA はキャプチャボードと PC のようなシステムの柔軟性を保ちつつも、ASIC のような並列処理によるシステムの低遅延化が可能であり、こうした映像伝送に適していることを述べた。さらに既存研究として FPGA を使用した 1 台のカメラと FPGA2 台を利用した UDP/IP による HDMI 映像伝送システムについて触れ、そのシステムは Capture 遅延、Internet 遅延、Display 遅延を 69.9ms に抑えていることを述べた。本論文はこの既存研究を利用し、FPGA 上に Side-by-side 処理を行うシステムを構築し、Side-by-side 遅延を 30.1ms、おおよそ 2 フレーム以下に抑えるシステムを設計する。

第3章 提案手法

第2章では、3D映像伝送の許容遅延を100msと定義し、映像伝送の低遅延化手法をいくつか挙げ、FPGAで映像処理することの有効性を示した。特に、[12]の「HDMI-TS」の手法はカメラとディスプレイの間にFPGA2台のみを使用し、IPパケット伝送で映像を送るものであり、その遅延は最大でも69.9msだった。このシステムは構成要素にカメラ、ディスプレイの末端装置を除きFPGA2台のみで構成されており、システムとしても構成が簡素であり、遠隔ロボット操作のための3D映像伝送に有効であると考えられる。

3.1 キャプチャボードによるサイドバイサイド化の遅延理由

キャプチャボードとPCによるサイドバイサイド化は2種類の要素で遅延が発生してしまう。

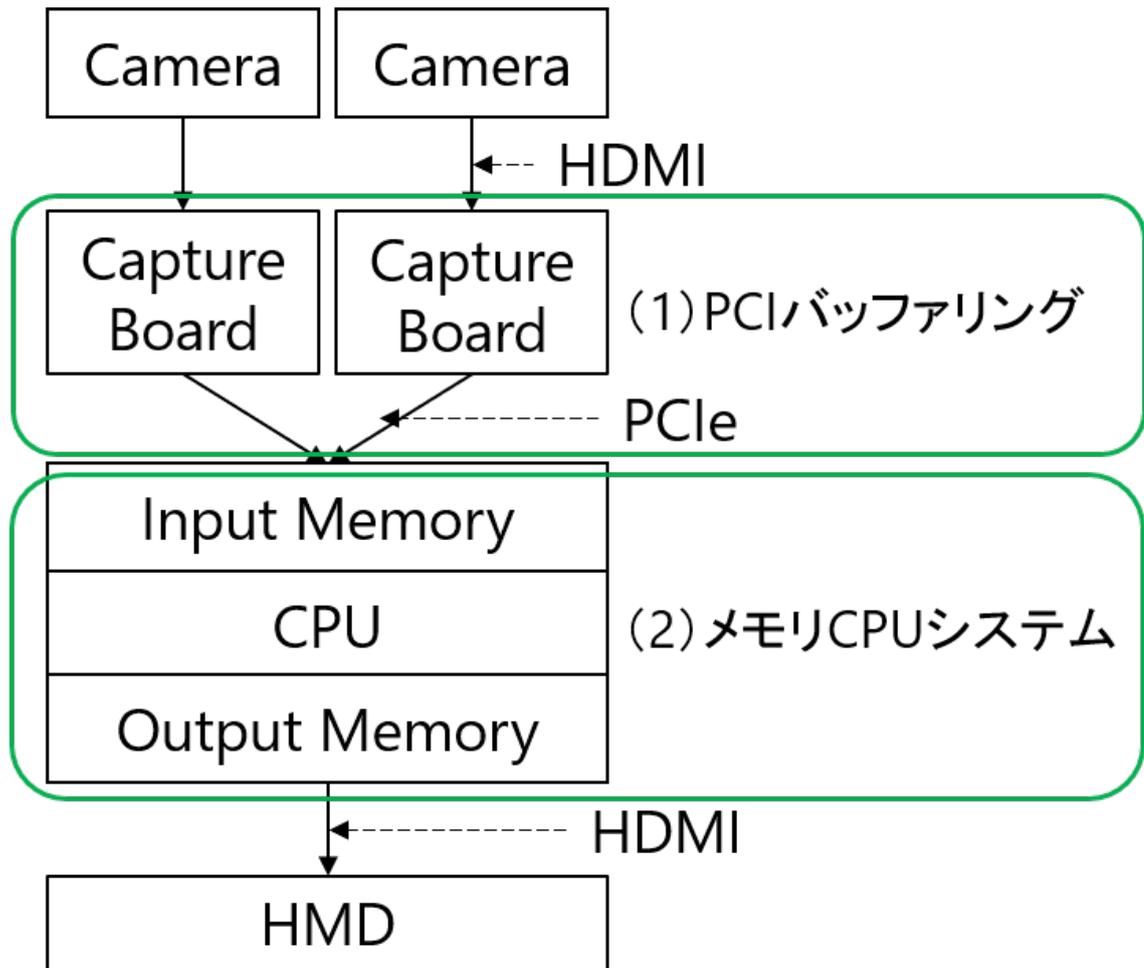


図 3.1: キャプチャボードによるサイドバイサイド化の遅延理由

1つ目はキャプチャボードとPCをPCIeで接続しているためにかかるPCIバッファリングの遅延である。キャプチャボードが受信した映像はすぐにメモリに送られるわけではなく、PCIの処理を待つためにバッファリング処理を行う。この処理はデータをいったん記憶素子に取り込むため遅延が発生する。2つ目はメモリとCPU構造による逐次処理による遅延である。キャプチャボードから入力される映像はいったん入力メモリに保存されたあと、CPUで処理を行い、その出力メモリに保存され、GPUやマザーボードのHDMIから出力される。こうした仕組みであるためメモリアクセスにかかる遅延や、CPU自体の処理遅延などが影響する。これらが原因となり、キャプチャボードとPCを利用したサイドバイサイド処理は遅延がかかってしまう。

3.2 FPGAによる利点

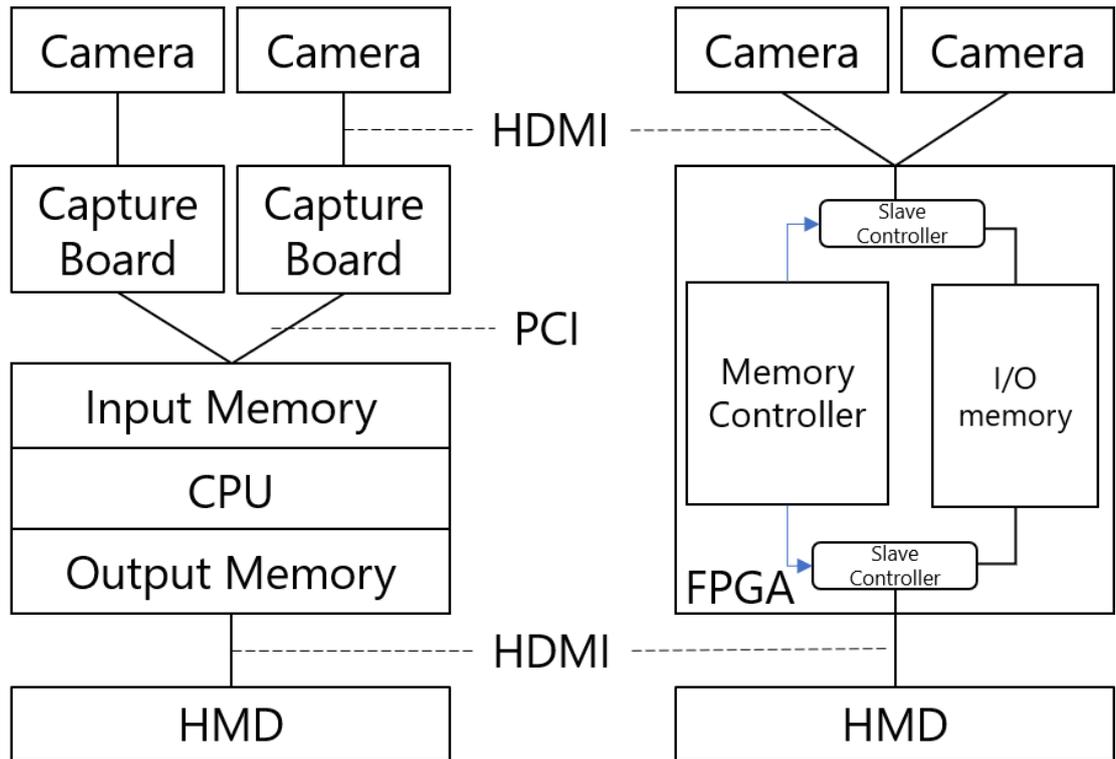
3.1で、キャプチャボードとPCを利用したシステムの遅延理由について、CPUメモリ構造による逐次処理と、PCIeのバッファリングが問題だと述べた。それに対し、FPGAはそ

もそも CPU による逐次処理を行うモデルではなく、パイプライン化を行うことで、メモリの読み込み、メモリの書き込み、映像送信など様々な処理を並列して行うことができる。前章で触れた専用コーデックも FPGA と同じように並列処理を行うことができるが、FPGA はシステムを何回でも書き直すことができるのに対し、ASIC はシリコンの上に回路を焼き付けるため再構築ができない。そのかわりトランジスタの密度は FPGA よりも高く、演算性能が高い。FPGA は ASIC のような並列処理を行えつつ、PC のようにシステムを柔軟に構築できることが利点である。

キャプチャボードでは問題であった、CPU メモリ方式による遅延原因は FPGA による並列処理によって解消することが可能であり、キャプチャボードを利用しないために PCI によるバッファリングの遅延などは存在せず、パイプライン上必要最低限の FIFO などのバッファリングで済む。さらにキャプチャボードでは入力と出力のメモリをわけていたが、FPGA ではメモリの読み書きを協調させることで同一のメモリ空間で行うことができる。さらにシステムを FPGA 1 つのみで構築可能であるため、遠隔ロボットなどシステムの簡素性を必要とする仕組みに適応しやすい。

3.3 システム構成

FPGA 上に実装するシステムの概要について述べる。本節ではどういう構成で、どのような処理を行うのかについて概要的な説明を述べる。なお、具体的な実装については次章で述べる。本論文の構成はカメラ 2 台、FPGA1 台、HMD であり、下のような図で構成する。左図はキャプチャボードを使用した際の一般的な構成図であり、右図が本論文で提案する FPGA の構成である。



(左) キャプチャボードの構成図

(右) FPGAの構成図

図 3.2: キャプチャボードと FPGA の構成比較

左図は、カメラ 2 台の HDMI の映像を 2 台のキャプチャボードで受け取り、キャプチャボードからメモリに PCI 経由でデータを送り、CPU でサイドバイサイドの処理を行う。そして処理をすましたデータをレジスタからメモリに格納し、HDMI 形式で HMD に出力する。このシステムの場合、キャプチャボードが取り組んだ映像は、PCI で送信する前に一度バッファリングする必要がある。また、PCI からデータが送られる先は入力用のメモリであり、これを CPU が処理したあとにやっと出力用のメモリに保存され、HDMI のプロトコルに従って HMD に出力される。これらのバッファリングの処理や、CPU 内部での処理がサイドバイサイド処理がボトルネックの要因となっている。右図では、そうしたカメラと HMD を仲立ちするものが FPGA しかなく、バッファリングは最小限に抑えられる。またカメラから送られてくるデータと、HMD に送り出されるデータを同一のメモリにすることで、入力用メモリと出力用メモリのデータの転送をなくすことができる。データの合成はメモリコントローラのアドレッシングによって制御し、I/O メモリに保存された左右それぞれの映像データから、1 フレームにつき半分ずつを出力する。HMD 映伝送システムの解像度は HMD の最大解像度に依存する。現在は民生品のカメラの解像度よりも HMD の解像度のほうが低いため、HMD の最大解像度が限界であるためである。今回使用する HMD は PSVR を利用するため、1080p(1920*1080) の 60Hz の映像を伝送する。

3.4 3章のまとめ

本章では、FPGA 上に実装するシステムの概要について述べた。キャプチャボードの遅延理由である CPU メモリ式の逐次処理をしないこと、バッファリングを何度も行うことを避け、同一のメモリで入力出力をすることによって FPGA による低遅延化を行う。次章では、具体的な実装について述べる。

第4章 実装

本章では、前章において述べた手法を実際に FPGA 上に構築する。

4.1 構成

構成は以下の表の通りである。

カメラ 2 台は Sony 製の FDR-X1000V を使用する。このカメラは 170 度の広い視野をもちながら、本体質量が約 89g、幅:約 2.5cm、高さ:約 5.2cm、奥行き:約 8.9cm と軽量で小型であり、遠隔ロボットの視覚システムとして適している。FPGA は Digilent 製の Atlys ボードを使用する。これは内部に Xilinx 製の Spartan-6 が搭載されており、HDMI ポートを 3 口持っているなど、映像伝送に使用しやすい。HMD には Sony 製の PSVR を使用する。PSVR は基本的に PS4 と連動させなければ使用できないが、USB 経由で PSVR の制御ユニットを操作することで、通常の HDMI 映像をサイドバイサイドの VR 映像として HMD に出力することができる。この実装には gusmanb 氏の PSVRFramework を利用した。[3] PSVR は 60Hz の映像の間に黒のブランキングフレームを入れることで、120Hz のフレームレートを出力することができる。FPGA の開発キットとして Xilinx 製のソフトウェアである ISE14.8 を使用し、ボードへの書き込みとして Adept を使用する。また全体の実装の参考として aomtoku 氏の github を参考にした [1]。

4.2 FPGA ボードへの実装

本節では実際に FPGA ボードへの実装について述べる。

表 4.1: 使用構成

	製品情報
Camera x2	Sony 製 FDR-X1000V
FPGA	Digilent 製 Atlys
HMD	Sony 製 PSVR

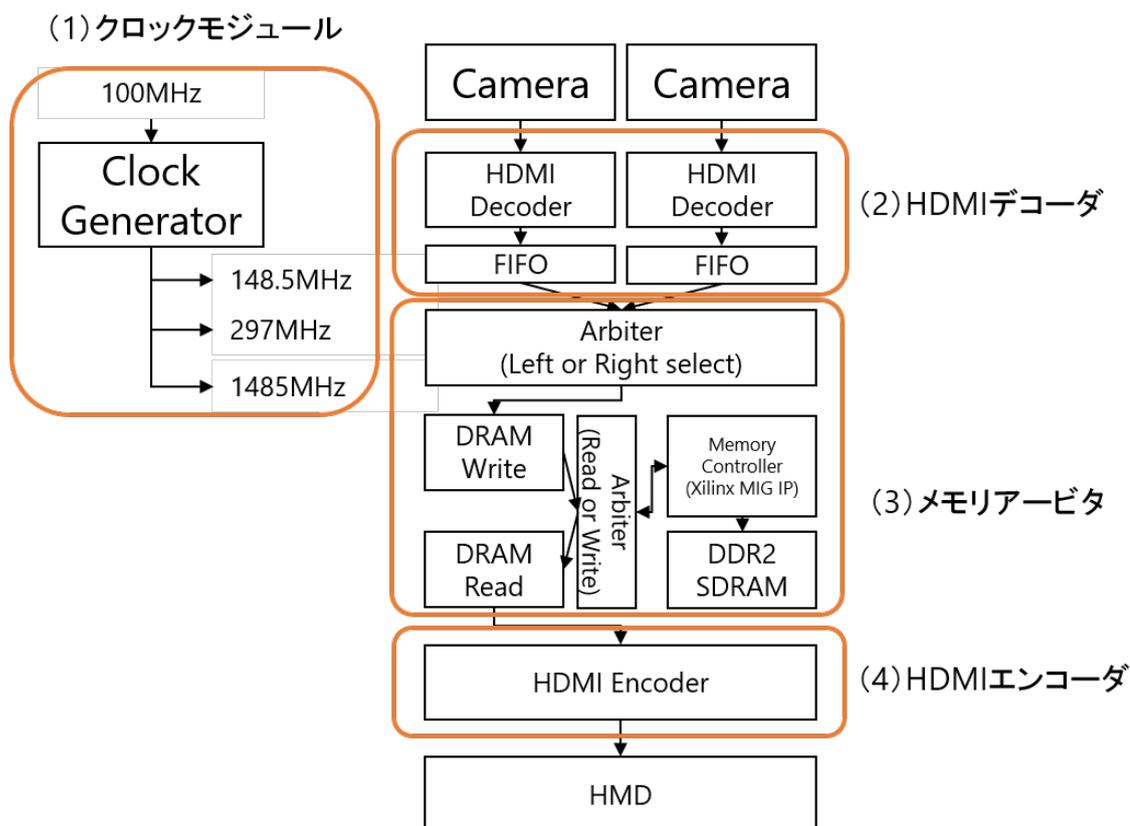


図 4.1: 実装のモジュール関係図

(1) クロックモジュール

最初は Atlys のクロック生成モジュールから 100MHz を入力する。クロックモジュールはデコーダやセレクトなどの各種モジュールの動作クロックを供給するためのモジュールである。下に大まかなモジュール図を描いた。外部 Pin から 100MHz の入力を受け、それを IBUFG で分波させる。クロックカウンタを用いて、50MHz にした後、その 50MHz を DCM_CLKGEN に入力し HDMI のピクセルクロックである 148.5MHz を生成する。それを PLL に入力し、HDMI のシリアルクロックである 1485MHz、シリアライズのための 297MHz を生成し、最後にピクセルクロックには、さまざまなモジュールでも使えるよう BUFG を通した。

(2) タイミングモジュール

HDMI は VGA 信号などと同様に、適切な同期信号とそれに合わせたデータの送信が必要である。最終的に HDMI で送信されるサイドバイサイド映像も適切な HDMI の同期信号に合わせてデータを送る必要がある。タイミングモジュールでは、そのための適切な同期信号や同期信号に合わせてデータ区間の情報を生み出す。入力はクロックモジュールで生成され

たピクセルクロックをとり、出力として水平同期信号、垂直同期信号などを出力する。下に HDMI の同期信号のチャートを示す。

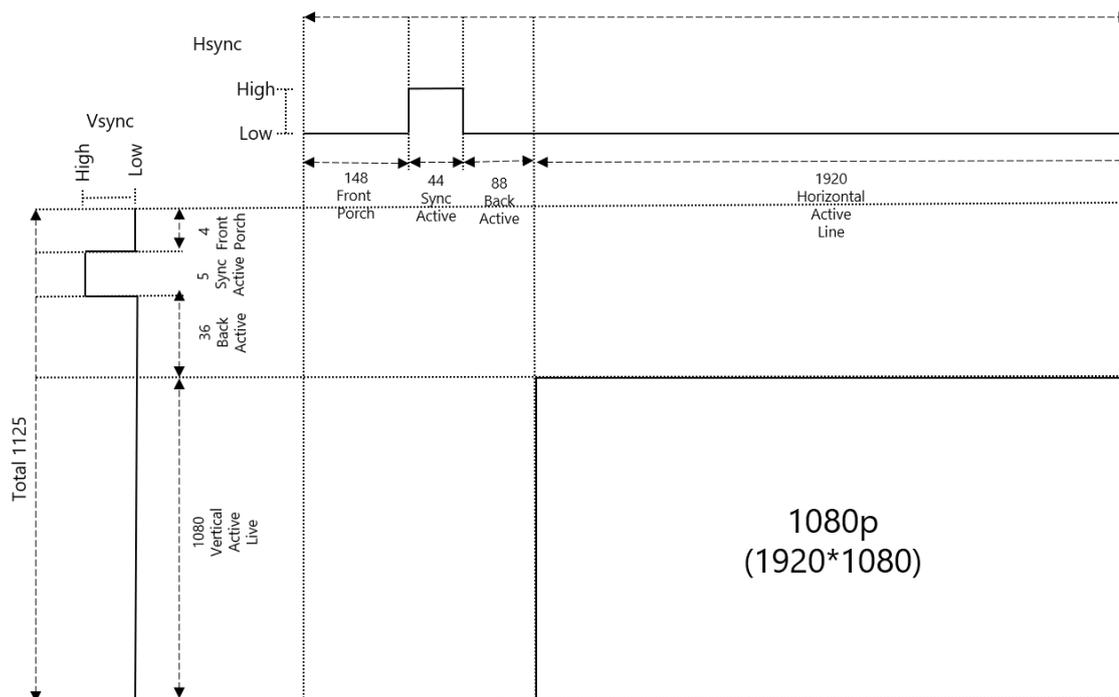


図 4.2: HDMI の信号チャート図 [4] より引用

これはピクセルクロックを単位時間としたタイミングチャートであり、1HSYNC は 1 クロックカウント、1VSYNC は 2200 クロックで 1 カウントである。また HDMI は内部に 3 つの区間を有しており、それらは実際のデータが送られる Video Data Period、音声データなどの付加情報が送られる Data Island Period、そしてピリオドの遷移情報などがおこなわれる Control Period の 3 種類に分けられる。こうしたデータも同期信号の特定のタイミングに沿って出力される。

(3) HDMI デコーダ

ここでは、カメラから送られてくる HDMI 映像から映像データを取り出す。このモジュールは、Xilinx 社製の DVI デコーダの公開 IP を使用した [2]。DVI は HDMI と互換性があり、DVI のデコーダを HDMI のデコーダとして代替することができる。今回は DVI デコーダから音声データを取り去り、映像データのみをとってくるようにしている。まずカメラから送られてくるデータは、シリアルライズデータであり、さらに耐エラー性のために特別な符号化が行われているため、YCrCb や RGB のような読み取れるデータに変換する必要がある。Decode モジュールではその変換を行う。基準となるのは、カメラから送られてくる 1485MHz の基準クロックであり、これを IBUFDS、PLL を通して 148.5MHz、287MHz を生み出し、それらのクロックをデコーダ内部の基準クロックとして使用する。

(4) メモリアービタ

Spaltan-6 のメモリインターフェースとして MemoryControllBrock(MCB) が IP として存在している。MCB にはコマンド用データパス、Write 用データパス、Read 用データパスが存在しており、コマンドを送ることで Write と Read の制御を行う。

(5) HDMI エンコーダ

ここではメモリから送られてくるデータを HDMI 映像にして、TMDS 形式で出力する。このモジュールは、Xilinx 社製の DVI エンコーダの公開 IP を使用した [2] メモリから送られてくる RGB のデータをそれぞれチャンネルごとにエンコードし、エンコードしたデータをシリアル化して 1485MHz の TMDS で出力する。

4.3 4章のまとめ

本章では、実装について触れ、モジュールをクロックモジュール、タイミングモジュール、HDMI デコーダ、メモリアービタ、HDMI エンコーダに分割し、それぞれに説明を行った。

第5章 評価

本章では、実装の遅延を比較し、サイドバイサイド映像処理の遅延量が 30ms 以内に抑えられているか評価する。

5.1 計測手法

遅延計測の手法として、スローモーション撮影によるフレーム差の計測手法が存在する。この手法は、カメラの被写体にディスプレイなどを用い、ディスプレイのフレームごとに連番の数字番号を表示させる。そしてその番号が、最終的に HMD などに表示され、その HMD に表示された番号と被写体となったディスプレイに表示された番号の差をスローモーションカメラで撮影し、そのフレーム差を比べることで、遅延を測るものである。本論文の遅延計測もこの手法を採用し、その図を下に示す。

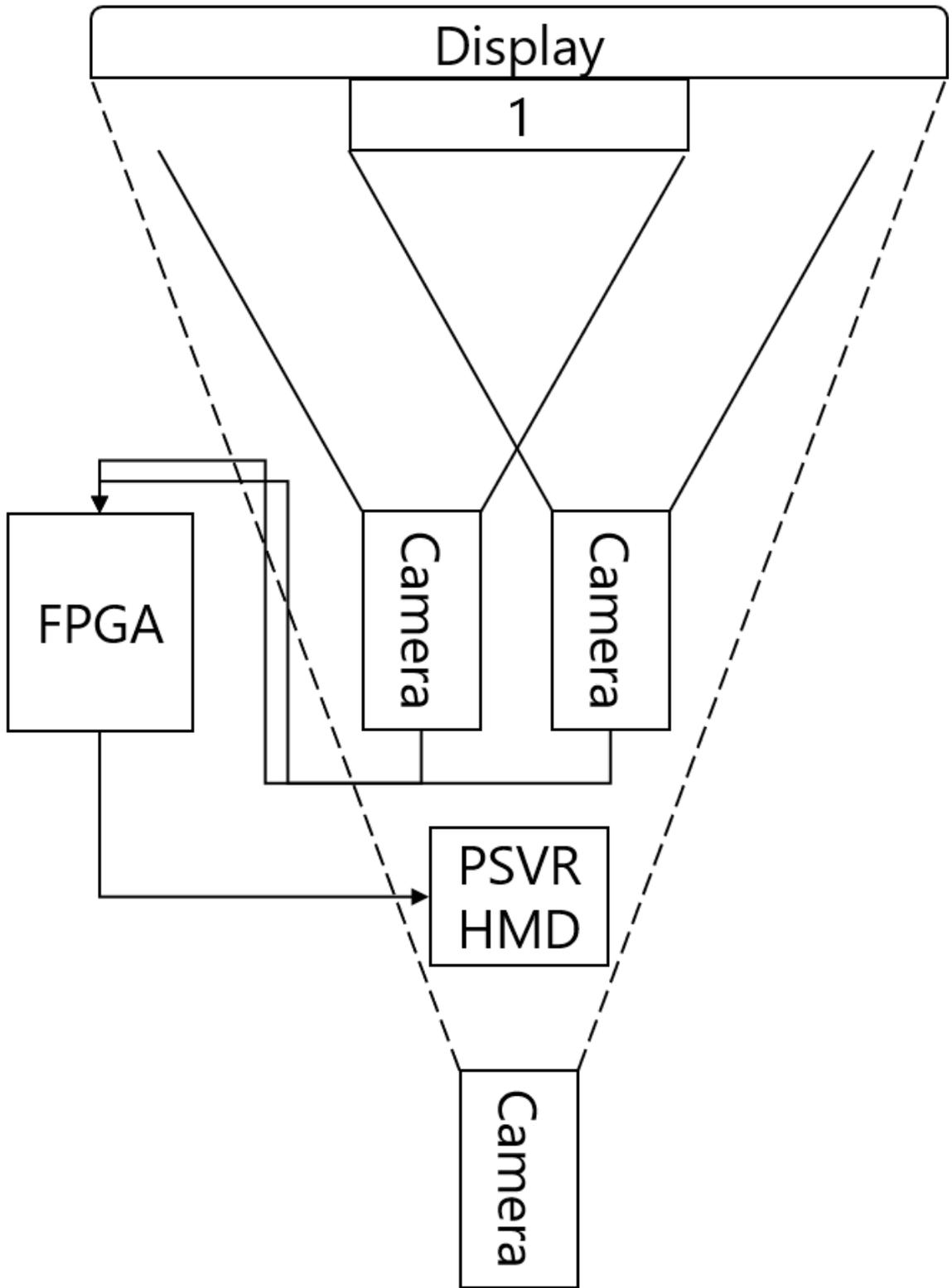


图 5.1: 計測図

5.1.1 使用する装置

FPGA には Atlys、HMD には PSVR、計測用カメラとして iPhone 8 を使用した。被写体ディスプレイは 60Hz で連番表示を行い、カメラは 1080p60Hz で撮影する。カメラから送られてくる HDMI データを FPGA で処理し、それを HMD に出力する。HMD と被写体ディスプレイを iPhone 8 のスローモーションカメラの 240fps で撮影することで、フレーム遅延を計測する。

5.2 計測

計測は FPGA で処理を行う場合と、FPGA をはさまずカメラと PSVR を直接つないだ場合をそれぞれ計測することで、その差異を計測し、FPGA 内部での処理遅延を測る。実際の計測風景が以下の図である。

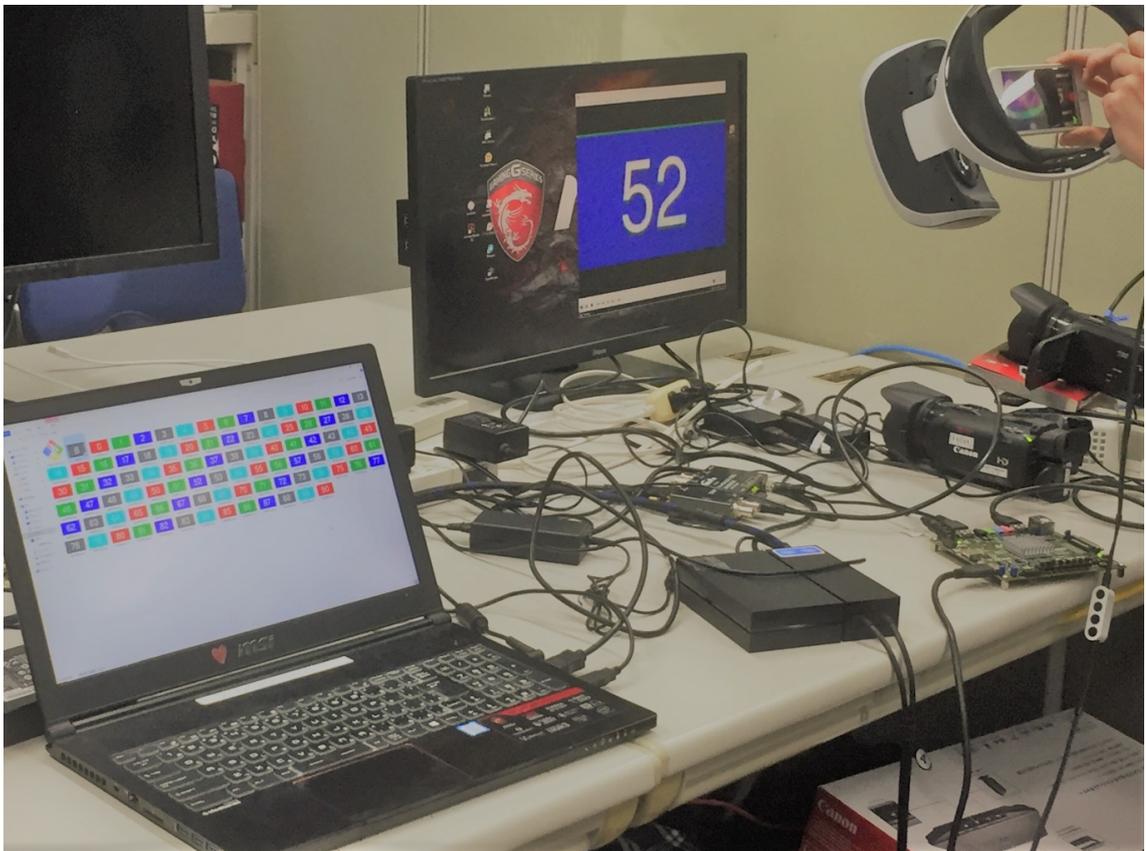


図 5.2: 実際の計測風景

HMD と被写体ディスプレイを同時に撮影することで、遅延を計測した。実際の撮影した動画を 1 フレームずつ写真にしたのが下の図である。

表 5.1: FPGA を用いたサイドバイサイド処理ありのシステムとサイドバイサイド処理なしのシステムとの遅延比較

	平均遅延 (フレーム)	平均遅延 (ms)
サイドバイサイド処理あり	4.95 フレーム	82.50ms
サイドバイサイド処理なし	4.67 フレーム	77.83ms
FPGA 内部でのサイドバイサイド処理遅延	0.28 フレーム	4.67ms

(試行回数 60 回)



図 5.3: 撮影した動画の連続写真

被写体ディスプレイが 60 から 61 に遷移する過程が 4 フレームあり、これは 60fps の動画を iPhone8 の 240fps でとった結果であることがわかる。この撮影をカメラを FPGA を介して HMD に出力した場合と、カメラを直接 HMD に出力した場合のフレーム誤差を比べることで、FPGA 内部での処理遅延を計測する。

5.3 計測結果と考察

FPGA 上でサイドバイサイド処理を行い映像を伝送する場合と、FPGA を使用せずに直接カメラの映像を伝送する場合を比較する。撮影を FPGA を使用する場合、使用しない場合それぞれ 3 本ずつおおよそ 5 分程度撮影し、その動画を単位フレーム毎に PNG 写真にし、目視での遅延の確認を行った。なお、誤差の計測はそれぞれ 1 本につき 20 回計測を行った。総試行回数は 60 回である。下の図はその平均遅延の比較である。

サイドバイサイド処理ありが、FPGA を用いた映像伝送システムの遅延フレーム数の計測であり、サイドバイサイド処理なしが、FPGA を用いずカメラと HMD を直接接続したシステムの遅延フレーム数の計測である。計測の結果、サイドバイサイド処理ありの平均遅延フレーム数は 4.95 フレームであり、サイドバイサイド処理なしの平均遅延フレーム数は 4.67 フレームであった。これにより FPGA 内部でのサイドバイサイド処理にかかわる遅延量は、0.28 フレーム、約 4.67ms であることがわかった。

5.4 まとめ

本章では、FPGA 上に実装したサイドバイサイド処理システムを、被写体ディスプレイとスローモーションカメラを用いて撮影することで遅延を計測した。その結果 FPGA 上でのサイドバイサイド処理にかかわる遅延は 4.67ms であることがわかった。

第6章 結論

本章では本論文のまとめと、結論について述べる。

6.1 まとめ

本論文は、遠隔ロボット操作のための3D映像伝送の一つとして、キャプチャボードとPCを利用したHMD映像伝送を挙げた。キャプチャボードの手法はPCのソフトウェアリソースを利用でき、システムを柔軟に構築できるため、遠隔ロボット操作に適している。一方で高精度な操作を必要とする遠隔ロボットシステムは、カメラの入力からディスプレイに表示されるまでの許容遅延を100msと厳しく制約しているため、キャプチャボードではその許容遅延を達成することができない。この理由は、キャプチャーカード内でのバッファ遅延、PCI Expressバスの遅延、ビデオバッファ間でのメモリ転送遅延とソフトウェア処理による遅延があることを述べた。

映像伝送の低遅延化の手法としてFPGA上に映像伝送システムを構築する手法があり、なかでもHDMI-TSの手法は、1台のカメラでのIP映像伝送で全体遅延を最大で39.9ms、最小で69.9msに抑えている。

FPGAはPCと同じようにライブラリなどのソフトウェアリソースが豊富であり柔軟にシステムを組み替えることができるため、拡張性面においてキャプチャボードの代替手法としても検討できる。そこで、本論文はキャプチャボードとPCによる映像伝送システムの柔軟性を損なうことなく、低遅延を達成するためにFPGAによるサイドバイサイド処理を目指し、そのシステムの実装と評価を行った。既存のFPGAを利用した映像伝送システムはサイドバイサイドの遅延を除いて最大で69.9msの遅延を達成していたことから、本論文のサイドバイサイド処理の許容遅延とした。手法として、FPGAを用い、2つのカメラからのHDMI入力を直接、1つの出力用のビデオメモリの左画面部と右画面部に書き込み、ビデオメモリを直接HMDへ出力することで低遅延化をおこした。カメラからの入力データを画像処理しながら、直接出力用のビデオメモリへ書き込むことができる場合、処理遅延を1フレーム以内にすることができる。

6.2 本論文の結論

スローモーションカメラを用いて本手法を用いたサイドバイサイド処理の遅延を評価したところ、処理遅延は4.67msで、これは1フレーム(16.67ms)以下である。これは、本論文

の目標としていたサイドバイサイド処理の許容遅延である 30.1ms の 15%にあたり、本手法が極めて有効といえる。

6.3 今後の課題と展望

本論文はサイドバイサイド処理を FPGA 上に実装しその遅延の計測のみを行い、そのシステムの有用性を示した。今後はこのシステムにネットワークプロトコルスタックを実装し、実際の遠隔ロボット操作をすることでさらなるシステムの改良が必要である。また、本論文は HDMI 互換である DVI 形式でデータの送信を行い、音声データを取り除いているため、音声も含めた映像システムの実装も今後の課題である。今後の展望としては、HMD の需要はますます増えることが予想され、既存のディスプレイの解像度も 1080p から 4K、8K などますます上昇することが予想される。現在の映像出力は HDMI1.4/2.0 が主流であるが、HDMI2.1 など新しい規格に合わせた高クロックへの対応が今後必要になる。

謝辞

まず初めに、研究室の環境を提供してくださった慶應義塾大学環境情報学部教授 村井純博士、同学部教授 中村修博士、同学部教授 三次仁博士、同学部教授 楠本 博之博士、同学部教授 武田圭史博士、同学部准教授 Rodney D. Van Meter III 博士、同学部准教授 中澤仁博士、同学部准教授 高汐一紀博士、同学部准教授 植原啓介博士に感謝申し上げます。そして、本研究を進めるに当たり、日頃よりご指導ご鞭撻いただきました松谷健史博士、空閑洋平博士、理工学部研究科開放環境科学専攻 後期博士課程 徳差雄太氏に感謝いたします。御三方の多大なる援助のもとで、本論文を作成することができました。思えば、本研究室の門を叩くきっかけになったのも、Makersfair で偶然にも御三方の展示を見たことがきっかけでありました。そうした縁をたどり、本論文を作成することができたことを、重ねてお礼申し上げます。本研究の評価に必要な機材を貸してくださった、株式会社 AbemaTV 開発局 エンジニア 山中勇成氏、慶應義塾大学メディアセンターマルチメディアサービスの皆様に感謝いたします。

研究にかかわらず、日々の生活の中で互いに支えあった、河口綾摩氏、増田和晃氏、豊田安信氏、尾崎周也氏、桑原誠尚氏、重田桂子氏、押見太雄氏、鎧坂文菜氏、ならびに ARCH 研究グループの皆様、および村井・徳田・楠本・中村・高汐・重近・バンミーター・植原・三次・中澤合同研究プロジェクトの皆様にお礼申し上げます。最後に、私を支えてくれた、家族をはじめとする親族、ならびに友人・知人に感謝し、謝辞といたします。

参考文献

- [1] aomtoku. 3d-vrsystem. <https://github.com/aomtoku/3D-VRsystem>, 2018/01/18 アクセス.
- [2] Bob Feng. Xilinx application note xapp 495: Implementing a tmds video interface in the spartan-6 fpga. https://www.xilinx.com/support/documentation/application_notes/xapp495_S6TMDs_Video_Interface.pdf, 2018/01/18 アクセス.
- [3] gusmanb. Psvrframework. <https://github.com/gusmanb/PSVRFramework>, 2018/01/18 アクセス.
- [4] HDMI. Hdmi specification version 1.4. https://www.hdmi.org/manufacturer/hdmi_1_4/index.aspx, 2018/01/18 アクセス.
- [5] Peter Lincoln, Alex Blate, Montek Singh, Turner Whitted, Andrei State, Anselmo Lastra, and Henry Fuchs. From motion to photons in 80 microseconds: Towards minimal latency for virtual and augmented reality. *IEEE transactions on visualization and computer graphics*, Vol. 22, No. 4, pp. 1367–1376, 2016.
- [6] Salvatore Livatino, Giovanni Muscato, and Filippo Privitera. Stereo viewing and virtual reality technologies in mobile robot teleguide. *IEEE Transactions on Robotics*, Vol. 25, No. 6, pp. 1343–1355, 2009.
- [7] Mihir Mody, Pramod Swami, and Pavan Shastry. Ultra-low latency video codec for video conferencing. In *Electronics, Computing and Communication Technologies (IEEE CONECCT), 2014 IEEE International Conference on*, pp. 1–5. IEEE, 2014.
- [8] INTUITIVESURGICAL 社. da vinci について. <https://www.intuitivesurgical.com/jp/aboutdavinci.php>, 2018/01/18 アクセス.
- [9] 川村和也. 遠隔ロボット手術の操作性評価を目指したリアルタイムシミュレーションに関する研究. PhD thesis, 早稲田大学, 2009.
- [10] 大成建設株式会社. 臨場型遠隔映像システム『t-irobo remote viewer』を開発. http://www.taisei.co.jp/about_us/release/2017/1439237772425.html, 2018/01/18 アクセス.

- [11] 猪野春記, 由井若菜, 藤井哲郎. 高品質 3d 立体視映像を用いた qoe 評価に関する検討. 東京都市大学横浜キャンパス情報メディアジャーナル= Journal of information studies, No. 17, pp. 66–71, 2016.
- [12] 徳差雄太, 松谷健史, 空閑洋平, 中村修ほか. Fpga を用いた hdmi 向け低遅延映像同期システムの設計と実装. 情報処理学会論文誌, Vol. 56, No. 8, pp. 1593–1603, 2015.